

First Named Inventor	Girolamo Gallo	<u>COMMUNICATION RE: FILING OF PRIORITY DOCUMENT UNDER 35 USC 119</u>
Serial No.	10/701,090	
Filing Date	November 4, 2003	
Group Art Unit	2819	
Examiner Name	Unknown	
Confirmation No.	4430	
Attorney Docket No.	400.196US01	
Title: OUTPUT BUFFER STRENGTH TRIMMING		

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

In accordance with the requirements for claiming right of priority under 35 U.S.C. 119, enclosed for filing in the above-identified application is a certified copy of Applicant's priority application RM 2003A000338 (Italy) as filed on 27 January 2003.

Please contact the undersigned attorney at (612) 312-2200 if you have any questions.

Respectfully submitted,

Date: _____

Daniel J. Polglaze
Reg. No. 39,801

Attorneys for Applicant
Leffert Jay & Polglaze, P.A.
P.O. Box 581009
Minneapolis, MN 55458-1009
Telephone 612-312-2200
Facsimile 612-312-2250

AL MINISTERO DELLE ATTIVITA' PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO

MODULO A



A. RICHIEDENTE (I)

1) Denominazione Micron Technology, Inc. N.G.
 Residenza Boise, Idaho (Stati Uniti d'America) US codice _____
 2) Denominazione _____
 Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome de Benedetti Fabrizio ed altri cod. fiscale _____
 denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.
 via Piazza di Pietra n. 39 città ROMA cap 00186 (prov) RM

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____
 classe proposta (sez/cl/scl) _____ gruppo/sottogruppo _____ / _____

D. TITOLO

Regolazione di "robustezza" per buffer di uscita di circuiti elettronici.

ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA ____/____/____

N. PROTOCOLLO

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) GALLO Girolamo 3) NASO Giovanni
 2) MAROTTA Giulio Giuseppe 4) _____

F. PRIORITA'

nazione o organizzazione tipo di priorità numero di domanda data di deposito allegato S/R
 1) _____/____/____
 2) _____/____/____

SCIOGLIMENTO RISERVE

Data N° Protocollo

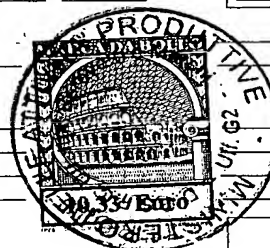
____/____/____
 ____/____/____

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

(società dello Stato del Delaware)

lettera d'incarico segue



DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 1 PROV ☐ n. pag. 52 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
 Doc. 2) 1 PROV ☐ n. tav. 05 disegno (obbligatorio se citato in descrizione, 1 esemplare)
 Doc. 3) 0 RIS ☐ lettera d'incarico
 Doc. 4) 0 RIS ☐ designazione inventore
 Doc. 5) 0 RIS ☐ documenti di priorità con traduzione in italiano
 Doc. 6) 0 RIS ☐ autorizzazione o atto di cessione
 Doc. 7) 0 nominativo completo del richiedente

SCIOGLIMENTO RISERVE

Data N° Protocollo

____/____/____
 ____/____/____
 ____/____/____
 ____/____/____
 confronto singole priorità
 ____/____/____

B) attestati di versamento, totale Euro quattrocentosettantadue/56 obbligatorioCOMPILATO IL 27 / 01 / 2003

FIRMA DEL (I) RICHIEDENTE (I)

Gilberto TononCONTINUA (SI/NO) NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (SI/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI

ROMA

codice 58

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

RM 2003 A 000029

Reg. A

L'anno duemilatre, il giorno ventisette del mese di gennaioIl (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

Imbro dell'ufficio

L'UFFICIALE ROGANTE
L'Ufficiale Rogante
Silvia Allert

RM 2003 A 000029

SIB BI3339R

LJP#400.196IT01

DESCRIZIONE DELL'INVENZIONE INDUSTRIALE dal titolo:
"REGOLAZIONE DI "ROBUSTEZZA" PER BUFFER DI USCITA
DI CIRCUITI ELETTRONICI"

a nome di: Micron Technology, Inc. (Società
dello Stato del Delaware)

di: Boise, Idaho (Stati Uniti d'America)



DESCRIZIONE

Campo tecnico dell'invenzione

La presente invenzione si riferisce genericamente a circuiti buffer ed in particolare la presente invenzione si riferisce a circuiti buffer con "robustezza" regolabile.

Base tecnica dell'invenzione

I circuiti integrati sono comuni prodotti elettronici. I prodotti elettronici spesso sono costituiti da circuiti integrati interfacciati l'uno con l'altro attraverso un bus dati o altri percorsi per dati. Le specifiche di interfaccia per varie famiglie logiche digitali indicano livelli di tensione e corrente necessari perché i segnali digitali vengano trasferiti tra due o più circuiti integrati. Specifiche di interfaccia vengono



S.I.B.
ROMA

utilizzate da circuiti integrati con l'impiego di circuiti buffer di uscita per pilotare un segnale di basso logico o di alto logico attraverso un percorso di dati. In aggiunta, circuiti buffer di uscita sono un modo per interfacciare diverse famiglie logiche digitali di circuiti integrati.

Tipicamente, i circuiti buffer di uscita spesso impiegano un livello di tensione, V_{ccq} come sorgente del livello logico alto. A seconda del progetto, V_{ccq} può variare tra 1,6 e 3,3 volt. Circuiti buffer di uscita generalmente impiegano una massa di sistema (GNDQ) come pozzo per una uscita di basso logico. Circuiti buffer di uscita generalmente impiegano due dispositivi a transistore complementare. Il primo dispositivo è un transistore (MOS) a semiconduttore ossido e metallo a canale p di "pull-up" la cui sorgente è collegata a V_{ccq} , ed il cui assorbitore è collegato al terminale di uscita. Il secondo dispositivo è un transistore MOS a canale n di "pull-down", il cui assorbitore è collegato al terminale di uscita, e la cui sorgente è collegata a massa.

Il buffer di uscita di un circuito integrato deve essere dimensionato sufficientemente grande per fornire una sufficiente capacità di pozzo e di

sorgente ad un carico e trasmettere un segnale entro un tempo breve. Questo requisito può richiedere un alto tasso di variazione nella corrente impiegata nel circuito integrato, e può provocare rumore significativo per effetto di cadute sulla tensione di linea di energia elettrica e/o oscillazioni sulla linea di tensione di massa. Questo rumore può disturbare il funzionamento nominale dei circuiti che condividono un bus di energia elettrica/massa con i buffer di uscita. Nelle applicazioni moderne in cui circuiti integrati sono assemblati in pannelli a circuito stampato molto piccolo (PCB) con instradamenti specializzati, il carico che un circuito integrato deve pilotare può essere molto più piccolo del carico impiegato come riferimento per progettare le dimensioni del pilota di uscita.

Un esempio di una applicazione di un buffer di uscita si trova in un sistema di memoria. Un sistema di memoria è comunemente impiegato in prodotti quali camere da ripresa digitali, assistenti digitali personali, telefoni cellulari, sistemi da gioco video e simili. Un tipico sistema di memoria viene impiegato per immagazzinare comandi o dati che verranno utilizzati in unione

con un microprocessore. Con lo sviluppo di microprocessori sempre più rapidi, i sistemi di memoria devono anche essi tenere il passo. Tempi di transizione veloci sono un fattore nella progettazione di aumento della velocità di circuiti. Ciò è particolarmente vero nei riguardi dei sistemi di memoria.

In alcune applicazioni, un circuito integrato particolare verrà impiegato in una varietà di applicazioni avente una gamma molto ampia di carichi di uscita. Per circuiti di memoria flash, il carico capacitivo è tipicamente di 30 picofarad (pF). La maggior parte delle applicazioni hanno carichi molto più piccoli di questo. Con un carico capacitivo standard, è facile dimensionare un buffer di uscita durante la fabbricazione per un carico capacitivo standard noto. Tuttavia, dato che la varietà di applicazione per cui questi circuiti integrati tipici vengono usati, non è sufficiente una dimensione standard del buffer di uscita. Ad esempio, con un buffer di uscita robusto ed un piccolo carico, si possono presentare sovraelongazioni e sottoelongazioni sui segnali di uscita. Con un buffer debole, il buffer è insufficiente per operare con una applicazione

avente un carico più grande.

Correntemente, numerose applicazioni IC sono molto sensibili ad interferenza a radiofrequenza (RF) ed il rumore generato da un buffer influenza negativamente le prestazioni a RF del pannello circuitale. Questa interferenza RF aumenta quando il tempo di commutazione dei carichi è troppo veloce, il che si verifica quando il carico è piccolo.

Per le ragioni sopra menzionate, e per altre ragioni che verranno esposte oltre e che diverranno chiare a coloro che sono esperti nel ramo dalla lettura e comprensione della presente descrizione, vi è una necessita nella tecnica per regolare la robustezza di un buffer di uscita a seconda dell'applicazione per la quale questo deve essere utilizzato.

Sommario

I problemi sopra menzionati con buffer di uscita ed altri problemi sono considerati dalla presente invenzione e verranno compresi dalla lettura e studio della seguente descrizione.

Per una prima forma di realizzazione, un buffer di uscita include un primo stadio ed un secondo stadio, ciascuno avente uscite collegate in



parallelo l'una con l'altra. Il primo stadio fornisce robustezza al buffer quando un segnale di abilitazione di primo stadio è attivo, ed il secondo stadio fornisce una robustezza di buffer quando è attivo un secondo segnale di abilitazione di stadio.

Per un'altra forma di realizzazione, un buffer di uscita include almeno due stadi buffer in parallelo, ciascuno stadio attivato a seguito della ricezione di un rispettivo segnale di abilitazione di stadio, gli stadi fornendo una gamma di robustezze di buffer di uscita cumulativamente verso una robustezza complessiva di uscita del buffer.

Per ancora un'altra forma di realizzazione, un circuito buffer di uscita include un primo stadio buffer di uscita per fornire una robustezza di buffer di uscita in risposta ad un segnale di abilitazione di primo stadio, ed almeno un secondo stadio di buffer di uscita. Ciascun secondo stadio di buffer di uscita è adattato per fornire selettivamente robustezza aggiuntiva di buffer in risposta ad un rispettivo secondo segnale di abilitazione di stadio.

Per ancora un'altra forma di realizzazione, un

buffer di uscita include un primo stadio ed un secondo stadio collegati in parallelo l'uno con l'altro. Il primo stadio include una struttura di primo stadio a semiconduttore e ossido di metallo complementari (CMOS) avente un dispositivo MOS a canale p ed un dispositivo MOS a canale n, una prima porta OR avente una uscita collegata al gate del transistor a canale p, ed avente due ingressi, un ingresso collegato ad un segnale di dati e l'altro ingresso collegato ad un segnale di abilitazione, ed una prima porta AND avente l'uscita collegata al gate del transistor a canale N, ed avente due ingressi, un ingresso collegato al segnale di dati ed un altro ingresso collegato al segnale di abilitazione. Il secondo stadio include una struttura di secondo stadio CMOS avente un dispositivo MOS a canale p ed un dispositivo MOS a canale n, una seconda porta OR avente una uscita collegata al gate del transistor a canale p, ed avente due ingressi, un ingresso collegato ad un segnale di dati ed un altro ingresso collegato ad un segnale di abilitazione, ed una seconda porta AND avente una uscita collegata al gate del transistor a canale n, ed avente due ingressi, un ingresso collegato al segnale di dati ed un altro

ingresso collegato al segnale di abilitazione.

Per ancora un'altra forma di realizzazione, un dispositivo di memoria include una schiera di celle di memoria, un certo numero di linee di dati per accesso alle celle di memoria, ed un buffer di uscita accoppiato tra la schiera di celle di memoria e la molteplicità di linee di dati. Il buffer di uscita include un primo stadio ed un secondo stadio, il primo e secondo stadio avendo uscite collegato in parallelo l'una con l'altra, il primo stadio fornendo una robustezza di buffer quando è attivo un segnale di abilitazione di primo stadio, ed il secondo stadio fornendo robustezza di buffer quando è attivo un segnale di abilitazione di secondo stadio.

Per ancora un'altra forma di realizzazione, un metodo per aggiustare la robustezza di un buffer di uscita include l'abilitare selettivamente almeno uno stadio di buffer di uscita in risposta ad un insieme prestabilito di segnali di abilitazione per i rispettivi stadi.

Per un'altra forma di realizzazione un metodo per la regolazione della robustezza di un buffer di uscita include il generare segnali di abilitazione per una molteplicità di stadi di buffer di uscita

in parallelo, abilitando ciascuno stadio avente un segnale di abilitazione, e combinando la robustezza di ciascuno stadio abilitato in una robustezza complessiva di buffer.

Per un'altra forma di realizzazione, un metodo di regolazione della robustezza di un buffer di uscita include l'abilitare selettivamente almeno uno stadio di buffer di uscita in risposta ad un insieme prestabilito di segnali di abilitazione per i rispettivi stadi.

Per un'altra forma di realizzazione, un metodo per l'aggiustamento di un buffer di uscita include l'abilitare almeno uno di un certo numero di stadi di uscita collegati in parallelo, e combinare la robustezza di ciascuno degli stadi di uscita abilitati in una robustezza complessiva del buffer di uscita.

Per ancora un'altra forma di realizzazione, un metodo per regolare la robustezza di buffer di uscita in un buffer di uscita a più stadi, include il selezionare ingressi di abilitazione prestabiliti o programmabili per gli stadi di uscita, programmare gli ingressi di abilitazione programmabili quando vengono selezionati gli ingressi di abilitazione programmabili, e far



passare gli ingressi di abilitazione prestabiliti quando sono selezionati ingressi di abilitazione prestabiliti.

Per un'altra forma di realizzazione, un metodo per far funzionare un circuito integrato include il programmare un fusibile di ingresso selezionabile per generare un segnale di abilitazione di ingresso selezionabile attivo, programmare un insieme prestabilito di segnali di abilitazione, programmare un insieme di ingressi selezionabili, e selezionare tra insieme prestabilito di abilitazione e l'insieme di ingresso selezionabile.

Ulteriori forme di realizzazione dell'invenzione includono metodi ed apparecchi di vario ambito.

Breve descrizione dei disegni

La figura 1 è uno schema a blocchi di un circuito integrato nel quale sono realizzate in pratica forme di realizzazione della presente invenzione;

la figura 2 è uno schema circuitale di un buffer di uscita secondo un'altra forma di realizzazione della presente invenzione;

la figura 3 è uno schema circuitale di un circuito equivalente ad una configurazione della

forma di realizzazione di figura 2;

la figura 4 è uno schema a blocchi di logica di controllo per un buffer di uscita secondo un'altra forma di realizzazione della presente invenzione; e

la figura 5 è uno schema a blocchi funzionale di un dispositivo fondamentale di memoria flash che è accoppiato ad un elaboratore secondo una forma di realizzazione dell'invenzione.

Descrizione particolareggiata

Nella seguente descrizione particolareggiata dell'invenzione, si fa riferimento ai disegni allegati che ne formano parte, ed in cui vengono mostrate, a titolo di illustrazione, specifiche forme di realizzazione secondo le quali l'invenzione può essere realizzata in pratica. Nei disegni, numeri eguali indicano componenti sostanzialmente analoghi per tutte le varie viste. Queste forme di realizzazione sono descritte con dettaglio sufficiente per consentire a coloro che sono esperti nel ramo di realizzare in pratica l'invenzione. Si possono impiegare altre forme di realizzazione e si possono apportare variazioni strutturali, logiche ed elettriche senza allontanarsi dall'ambito della presente invenzione.

La seguente descrizione particolareggiata quindi, non deve essere considerata in senso limitativo, e l'ambito della presente invenzione è definito soltanto dalle rivendicazioni allegate e dai loro equivalenti.

Le varie forme di realizzazione della presente invenzione forniscono apparecchiature e metodi per regolare la robustezza di un buffer di uscita. Ciò viene effettuato programmando segnali di abilitazione per ciascuno di una molteplicità di stadi, e collegando gli stadi in parallelo. Ciascuno stadio di uscita abilitato porta un contributo alla robustezza di buffer di uscita, ed il buffer di uscita può essere dimensionato per adattarsi ad un carico specificato.

La figura 1 è uno schema a blocchi 100 di un circuito integrato 102 che pilota due circuiti integrati secondari 104 e 106. Il circuito integrato 102 include un pilota di uscita 108. Il pilota di uscita 108 è una struttura a semiconduttore ossido e metallo complementare (CMOS) avente un transistor 110 a canale p avente una dimensione WP, ed un transistor 112 a canale n avente una dimensione WN. I transistori pilota di uscita 110 e 112 sono collegati ad un piedino di

dati esterni (DQ) con un filo di collegamento 114 avente una induttanza L_{dq} . Le sorgenti V_{ccq} e V_{ssq} sono collegate a piazzole esterne con fili di collegamento 116 e 118, rispettivamente, aventi induttanza LV_{ccq} e LV_{ssq} . L'induttanza complessiva L interessata nel DQ in salita è quindi $L = L_{dq} + LV_{ccq}$. L'induttanza complessiva interessata nel DQ in discesa è quindi $L = L_{dq} + LV_{ssq}$. Il circuito integrato 102 è collegato agli ingressi 120 e 122 rispettivamente dei circuiti 104 e 106.

Quando i circuiti 104 e 106 sono circuiti integrati MOS, i loro ingressi caricano il pilota 108 di uscita con capacità di ingresso C_{in1} e C_{in2} . La capacità di instradamento sulla linea 126 di instradamento tra il DQ ed i circuiti 104 e 106 è la C_{route} 124. Il carico di capacità di instradamento C_{load} visto dal pilota di uscita è la somma della capacità della linea di instradamento più le capacità di ingresso dei circuiti 104 e 106, $C_{load} = C_{route} + C_{in1} + C_{in2}$.

Si supponga che t_s sia in tempo di salita e caduta della linea di instradamento 126 che deve essere soddisfatto per avere il sistema 100 funzionante con prestazioni soddisfacenti. Il rapporto di dimensioni WP/WN è progettato per avere



un tempo di salita/caduta più breve di t_s per il C_{load} specifico del circuito.

A seguito di una commutazione, una perturbazione dv , che è tipicamente una caduta di tensione su V_{ccq} oppure una gobba di tensione su V_{ssq} , si presenta sulle linee di alimentazione. La perturbazione segue questa equazione:

$$dv \geq (4 * C_{load} * V_{ccq} * L) / t_s^2$$

Ad esempio, se $C_{load} = 100$ pF, $V_{ccq} = 2$ volt (V), $t_s = 2$ nanosecondi (ns), e $L = 2$ nanoHenry (nH):

$$dv \geq (4 * 100 \text{ pF} * 2 \text{ V} * 2 \text{ nH}) / 4 \text{ ns}^2 = 400 \text{ millivolt (mV)}$$

Un rumore dell'ordine di 400 mV sulla linea di alimentazione V_{ccq} può verificarsi facilmente. Se su una specifica applicazione il carico reale è inferiore a 100 pF (ad esempio 50 pF), e WP/WN rimangono invariati, il rumore non diminuisce poiché il tempo di salita e caduta t_s sarà inferiore a 2 ns. La riduzione di C_{load} può conseguentemente produrre una quantità di rumore anche più grande. Se su un'applicazione specifica il carico reale è inferiore a 100 pF (di nuovo ad esempio 50 pF), una riduzione di WP/WN al fine di produrre lo stesso tempo di salita/discesa t_s da origine ad una riduzione di rumore sulla linea di

alimentazione di circa il 50% senza influenzare le prestazioni di commutazione.

Le forme di realizzazione della presente invenzione forniscono metodi ed apparecchiature per aggiustare le grandezze WP/WN del buffer di uscita a circuito integrato. In una prima forma di realizzazione, i transistori 110 e 112 del buffer di uscita sono disposti impiegando una molteplicità di stadi CMOS in parallelo come mostrato in figura 2. Anche se sono mostrati soltanto due stadi, si deve comprendere che un numero superiore di stadi è facilmente realizzabile da una persona esperta nel ramo, e rientra nell'ambito dell'invenzione.

Ad esempio, memorie Flash assemblate in piattaforme di telefono cellulare tipicamente hanno una gamma ampia di valori parassiti di interconnessione. La impedenza dei buffer di uscita dei dispositivi Flash può non adattarsi ai requisiti di una qualsiasi applicazione specifica. Anche se i tempi di salita e caduta dei buffer di uscita generalmente sono specificate per un carico di uscita di 30 pF, il carico capacitivo di sistemi reali può essere dell'ordine di 15 pF o meno. Macchine di collaudo sul sito di un fabbricante di memoria generalmente presentano una capacità di

carico apprezzabilmente più grande, generalmente dell'ordine di 50-100 pF. In una prima forma di realizzazione, la robustezza di pilota di uscita di una memoria Flash può essere configurata a diversi livelli impiegando bit programmabili/cancellabili oppure impiegando informazioni memorizzate in latch volatili, per accoppiarsi ad un ampio campo di capacità di carico. Questa configurazione assicura una rapida velocità di commutazione con un piccolo rumore di uscita e piccolo consumo di energia elettrica al livello dell'applicazione ed anche in un ambiente di sonde o di collaudo.

La figura 2 è uno schema circuitale di una configurazione 200 di buffer di uscita secondo una prima forma di realizzazione della presente invenzione. Il buffer 200 di uscita possiede due stadi 202 e 204. Lo stadio 202 include una struttura CMOS avente un transistor 206 a canale p con una dimensione WP1 ed un transistor 208 a canale n con una dimensione WN1. Lo stadio 204 è costituito da una struttura CMOS avente transistor 210 a canale p con dimensione WP2 ed un transistor 212 a canale n con dimensione WN2. Viene presentato un segnale alle porte di ciascuno dei transistori dello stadio 202. Il transistor 206 riceve un

segnale dalla porta OR 214. La porta OR 214 riceve come ingressi un segnale di dati di ingresso ed un segnale di abilitazione dq_trim1 218. Il segnale 218 di abilitazione viene invertito con l'invertitore 220 prima di essere posto in ingresso alla porta OR 214. Il transistore 208 riceve un segnale dalla porta AND 216. La porta AND 216 riceve come ingressi il segnale di dati di ingresso ed il segnale di abilitazione dq_trim1 218.

Lo stadio 204 è costruito in un modo analogo allo stadio 202, avente transistori 210 e 212 alimentati dalla porta OR 222 e dalla porta AND 224, rispettivamente. La porta OR 222 ha come suoi ingressi il segnale di dati ed il segnale di abilitazione dq_trim2 226 che è dapprima invertito con l'invertitore 228. La porta AND 224 ha come suoi ingressi il segnale dei dati e il segnale 226 di abilitazione dq_trim2.

Gli stadi 202 e 204 forniscono opzioni selezionabili multiple per le dimensioni del buffer di uscita attraverso selezione dei segnali dq_trim. I valori finali WP o WN per il buffer 200 di uscita, a seconda dei segnali di abilitazione, sono le somme dei rispettivi transistori di stadio che sono stati abilitati. Quando lo stadio 202 viene



abilitato, i valori WP o WN sono WP1 oppure WN1. Quando lo stadio 204 viene abilitato, i valori WP o WN sono WP2 oppure WN2. Quando ambedue gli stadi sono abilitati, i valori WP e WN sono la somma dei valori, $WP = WP1 + WP2$, e $WN = WN1 + WN2$. Si deve comprendere che sono stati mostrati due stadi per semplicità e soltanto per scopi illustrativi, e che stadi aggiuntivi risultano in scelte addizionali per determinare la grandezza dei buffer di uscita. Come tale, l'invenzione non è limitata a due stadi.

La figura 3 è la rappresentazione di uno schema circuitale di una struttura 300 di buffer di uscita equivalente quando sono abilitati ambedue gli stadi 202 e 204 nel buffer 200 di uscita.

La tabella 1 contiene le combinazioni possibili dei segnali dq_trim1 e dq_trim2, e le possibilità risultanti per il buffer di uscita. Ciascuna delle configurazioni ammissibili come mostrato in tabella 1 sono in varie forme di realizzazione progettate per soddisfare tempi ts specificati di salita/discesa.

Tabella 1

Dq_trim1	Dq_trim2	WP	WN
1	1	WP1 + WP2	WN1 + WN2
1	0	WP1	WN1
0	1	WP2	WN2
0	0	Non ammesso	Non ammesso

La tabella 2 mostra valori di carico capacitivo approssimato congruenti con il requisito che t_s deve essere inferiore ad un valore specificato, ad esempio, $t_s \leq 3$ ns, per varie scelte di WP e WN.

Tabella 2

WP	WN	Cload
WP1 + WP2	WN1 + WN2	100 pF
WP2	WN2	50 pF
WP1	WN1	30 pF

L'aggiustamento della grandezza del buffer di uscita viene ottenuta in varie forme di realizzazione in modi diversi. Ad esempio, due modi per aggiustare la grandezza del buffer di uscita

impiegando le configurazioni descritte precedentemente è come descritta in quanto segue. La prima impiega fusibili, una tecnica non volatile per generare i segnali dq_trim per selezionare diversi stadi di uscita. La seconda impiega latch, una tecnica volatile per generare i segnali dq_trim per selezionare diversi stadi di uscita.

La prima tecnica impiega fusibili per memorizzare il valore dei segnali dq_trim1 e dq_trim2. In una prima forma di realizzazione, i fusibili sono realizzati in chip contenenti chip di memorie a sola lettura di tipo Flash programmabile e cancellabile elettricamente (EEPROM). La scelta della struttura a fusibili è ben nota nella tecnica, e si comprenderà che diversi fusibili quali fusibili a laser e simili possono essere impiegati senza allontanarsi dall'ambito dell'invenzione. L'impiego di fusibili consente al fabbricante del circuito integrato di impiegare il buffer di uscita per impostare in modo permanente alla fabbricazione una configurazione di regolazione di uscita secondo le necessità desiderate del cliente.

La seconda tecnica impiega latch che sono caricati con una configurazione desiderata ogni

volta che il cliente vuole impiegare il circuito integrato. Il cliente decide se usare questa configurazione facoltativa per aggiustare la robustezza del buffer di uscita secondo l'applicazione per la quale deve essere impiegato il circuito integrato.

La figura 4 è un diagramma che mostra una forma di realizzazione di logica di controllo per l'aggiustamento della robustezza del buffer di uscita. Nel circuito 400, viene impiegato un banco di latch 402 per memorizzare informazione. In una prima forma di realizzazione, il banco di latch 402 è configurato con la medesima struttura e funzionamento come un registro di configurazione di lettura (rcr), la struttura e funzionamento del quale sono ben note nella tecnica.

Il circuito 400 produce i segnali dq_trim per l'abilitazione dei vari stadi 404 e 406 di un buffer di uscita a stadi multipli secondo i parametri di funzionamento determinati alla fabbricazione, dall'applicazione, o ambedue. In questa forma di realizzazione, ciascuno degli stadi 404 e 406 include due porte di trasferimento CMOS, lo stadio 404 avente le porte di trasferimento 408 e 410, e lo stadio 406 avente le porte



trasferimento 412 e 414. A seconda della configurazione desiderata da un utilizzatore, verranno impiegati dagli stadi o i segnali fuse_dq_trim, oppure i segnali rcr generati dal banco di latch 402. I fusibili fuse_dq_trim1 e fuse_dq_trim2 sono regolati durante la fabbricazione per fornire se abilitati un carico capacitivo standard. Un fusibile quale quello descritto precedentemente imposta il modo di funzionamento del circuito 400. Il segnale da tale fusibile è f_dis_rcrtrim, che è un ingresso alla porta OR 416.

Se il fusibile f_dis_rcrtrim ha il valore 1 (che è un valore di default in una forma di realizzazione), il segnale en è 0 e enb è 1. I segnali dq_trim1 e dq_trim2 sono in questa configurazione collegati a fusibili fuse_dq_trim1 e fuse_dq_trim2, e forniscono una impostazione di robustezza di pilotaggio di uscita permanente associata con un carico capacitivo specifico. La robustezza del buffer di uscita è impostata in modo permanente dai fusibili. In questa configurazione, il cliente non ha la capacità di impiegare latch per aggiustare la robustezza del buffer di uscita:

In un'altra configurazione, il fusibile

f_dis_rcrtrim viene programmato durante il processo di fabbricazione ad un valore di 0. In questa configurazione, l'utilizzatore ha la facoltà di aggiustare la robustezza del buffer di uscita come desiderato impiegando i tre latch rcr_en (latch di abilitazione 418) e rcr1 e rcr2 (latch di aggiustamento 420 e 422). Se l'utilizzatore non desidera applicare la funzionalità di usare i latch per abilitare selettivamente vari stadi di buffer di uscita per regolare la robustezza del pilota di uscita, allora il latch 418 rcr_en non viene programmato. Il valore di rcr_en è quindi al suo default di 1, e dq_trim1 e dq_trim1 sono collegati a fuse_dq_trim1 e fuse_dq_trim2 rispettivamente come descritto precedentemente.

Se l'utilizzatore desidera regolare in modo selettivo la robustezza del buffer di uscita del buffer a stadio multiplo, impiegando i latch per regolare la robustezza del pilota di uscita, allora il latch 418 rcr_en è programmato al valore di 0. I latch 420 e 422 che generano rispettivamente le uscite rcr1 e rcr2 sono programmate con valori DIN (j) e DIN (k). Le uscite rispettive dai latch 420 e 422 sono collegate rispettivamente ai componenti CMOS 408 e 412. L'uscita della porta OR 416 è 0,

per cui ENB è 0 e EB è 1. Il segnale rcr_en è quindi 0, e dq_trim1 e dq_trim2 sono collegati rispettivamente ai latch rcr1 e rcr2. I valori dei latch sono impiegati per regolare la robustezza del buffer di uscita come desiderato. I valori all'attacco dell'alimentazione per default per rcr1 e rcr2 sono 1. In questa configurazione 1, i componenti CMOS 408 e 412 degli stadi 404 e 406 sono abilitati, e a seconda dei valori rcr1 e rcr2, l'uno o l'altro o ambedue gli stadi sono abilitati, dando origine ad una grandezza selezionabile del buffer di uscita.

L'aggiustamento della robustezza del buffer di uscita è statica nel senso che la robustezza del buffer è impostata per un dato C_{load} . Non viene impiegata alcuna retroazione dall'effettivo tempo di salita/caduta per aggiustare la robustezza dell'uscita. La regolazione su una base permanente come discussa precedentemente è configurata permanentemente se il fusibile f_dis_rcrtrim è programmato al valore di 1. Ciò è impostato dopo che sono note le prestazioni di tempo di salita/caduta e di C_{load} . La regolazione viene impostata facoltativamente impiegando i latch 420 e 422 programmati dall'utilizzatore per specifiche

prestazioni di tempo di salita/caduta e carico PCB.

Si deve comprendere che l'abilitazione dei segnali `f_dis_rcrtrim`, `rcr_en`, e simili può essere effettuata in un certo numero di modi, e che tale abilitazione rientra nell'ambito di una persona esperta nel ramo. Inoltre, le forme di realizzazione della presente invenzione, anche se descritte in riferimento a due stadi di uscita, sono scalabili a un numero di stadi di buffer di uscita maggiore di 2. Con l'aumentare del numero di stadi, aumenta anche l'area sul circuito integrato, ma il numero di stadi non è limitato.

Le forme di realizzazione della presente invenzione non impiegano retroazione dal tempo di salita/caduta del circuito. Non vi è sorveglianza interna del tempo di salita/caduta. Ad esempio, per pilotare C pari a 10 pF, con un tempo di salita desiderato di 5 ns, i valori WP/WN vengono assegnati per realizzare la robustezza del buffer per fornire un tempo di salita di 5 ns quando si pilota un carico capacitivo da 10 pF. Non è richiesto o necessario un monitoraggio e regolazione adattativi del tempo di salita.

La figura 5 è uno schema a blocchi funzionale di un dispositivo 601 di base a memoria flash che è



accoppiato ad un elaboratore 603. Il dispositivo 601 di memoria e l'elaboratore 603 possono far parte di un sistema elettronico 600. Il dispositivo di memoria 601 è stato semplificato per mettere a fuoco le caratteristiche della memoria che sono utili nella comprensione della presente invenzione. Il dispositivo 601 di memoria include una schiera di celle 605 di memoria.

Le celle di memoria possono essere celle di memoria a gate flottante non volatili disposte in righe e colonne, con le righe spesso disposte in blocchi. Un blocco di memoria è una qualche parte discreta della schiera 605 di memoria. Le celle di memoria generalmente possono essere cancellate a blocchi. I dati, tuttavia, possono essere memorizzati nella schiera 605 di memoria separatamente dalla struttura del blocco.

Un decodificatore di riga 609 ed un decodificatore 611 di colonna sono disposti per decodificare segnali di indirizzo forniti sulle linee di indirizzo A0-Ax 613. Viene previsto un circuito 615 di buffer di indirizzo per effettuare il latch dei segnali di indirizzo. I segnali di indirizzo sono ricevuti e decodificati per avere accesso alla schiera 605 di memoria. La circuiteria

619 di selezione di colonna è prevista per selezionare una o più colonne della schiera 605 di memoria in risposta a segnali di controllo dal decodificatore 611 di colonna. La circuiteria 621 di rilevazione viene impiegata per rilevare ed amplificare dati immagazzinati nelle celle di memoria. L'ingresso 623 per dati ed i buffer 625 di uscita sono inclusi per comunicazione di dati bidirezionale su una molteplicità di linee 627 di dati (DQ) con il processore 603. Le linee 627 DQ danno accesso a valori di dati delle celle di memoria della schiera 605 di memoria. Un latch per dati 628 è tipicamente disposto tra il buffer 623 di ingresso e la schiera 605 di memoria per immagazzinare valori di dati (che devono essere scritti in una cella di memoria) ricevuti dalle linee DQ 627. Dati amplificati dalla circuiteria 621 di rilevazione sono forniti sul buffer 625 di uscita dati per l'uscita sulle linee DQ 627. Il buffer 625 di uscita include almeno un circuito buffer di uscita secondo una forma di realizzazione dell'invenzione.

Il circuito 631 di controllo e comando decodifica segnali forniti sulle linee 635 di controllo dall'elaboratore 603. Questi segnali sono

impiegati per controllare le operazioni sulla schiera 605 di memoria, incluse le operazioni di lettura dati, scrittura dati e cancellazione. Il circuito 633 di controllo di ingresso/uscita viene impiegato per controllare il circuito 623 buffer di ingresso di dati e il circuito 625 buffer di uscita di dati in risposta ad alcuni dei segnali di controllo. Come esposto precedentemente, il dispositivo 601 a memoria flash è stato semplificato per facilitare una comprensione di base delle caratteristiche della memoria. Una comprensione più particolareggiata della memoria flash è nota a coloro che sono esperti nel ramo. Come è ben noto, tali dispositivi 601 di memoria possono essere fabbricati come circuiti integrati su un substrato semiconduttore.

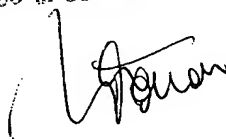
Conclusione

Le varie forme di realizzazione della presente invenzione forniscono metodi e apparecchiature per regolare la robustezza di un buffer di uscita. Ciascuno della molteplicità di stadi di un buffer di uscita può essere abilitato, e ciascuno stadio abilitato contribuisce alla robustezza del buffer di uscita. Il buffer di uscita contiene un banco di latch per programmare i valori di abilitazione per

abilitare secondo le specifiche dell'utilizzatore stadi appropriati per fornire la robustezza del buffer di uscita adatta al carico capacitivo dell'applicazione.

Anche se varie forme di realizzazione specifiche sono state illustrate e qui descritte, verrà compreso da coloro con ordinaria esperienza nel ramo che qualsiasi disposizione che è calcolata per raggiungere lo stesso scopo può essere sostituita alle forme di realizzazione mostrate. Numerosi adattamenti dell'invenzione saranno chiari a coloro con ordinaria esperienza nel ramo. Conseguentemente, questa domanda è intesa a proteggere qualsiasi adattamento o variazione dell'invenzione. È manifestamente inteso che questa invenzione venga limitata soltanto dalle seguenti rivendicazioni e loro equivalenti.

Giulio 1977
(Prov. Albo n. 33 SM)



PM 2003 A 000029

RIVENDICAZIONI

1. Buffer di uscita, comprendente:

un primo stadio ed un secondo stadio, il primo e secondo stadio avendo uscite collegate in parallelo l'una con l'altra, il primo stadio fornendo robustezza di buffer quando un segnale di abilitazione di primo stadio è attivo, e il secondo stadio fornendo robustezza di buffer quando è attivo un segnale di abilitazione di secondo stadio.

2. Buffer di uscita della rivendicazione 1, in cui il primo ed il secondo degli stadi sono additivi quando sono ambedue abilitati.

3. Buffer di uscita della rivendicazione 1, in cui ciascuno stadio di uscita include:

una struttura a semiconduttore ossido e metallo complementare (CMOS) avente un dispositivo MOS a canale p ed un dispositivo MOS a canale n;

una porta AND avente una uscita collegata al gate del transistor a canale n, ed avente due ingressi, un ingresso collegato ad un segnale dati ed un altro ingresso collegato ad uno di una molteplicità di segnali di abilitazione; e

una porta OR avente una uscita collegata alla porta del transistor a canale p ed avente due

ingressi, un ingresso collegato al segnale dati ed un altro ingresso collegato al complemento di uno della molteplicità di segnali di abilitazione.

4. Buffer di uscita della rivendicazione 3, ed ulteriormente comprendente:

un banco di latch, il banco di latch avendo un latch di abilitazione e due o più latch di aggiustamento, ciascun latch di aggiustamento memorizzando un valore rappresentativo di un segnale di abilitazione, ciascun latch di aggiustamento collegato al rispettivo ingresso di abilitazione di uno della molteplicità di stadi di uscita per fornire il suo segnale di abilitazione sul suo rispettivo stadio di uscita.

5. Buffer di uscita della rivendicazione 4, in cui ciascun stadio di uscita comprende ulteriormente:

una seconda struttura CMOS sostanzialmente identica alla prima struttura CMOS, i secondi ingressi della porta AND CMOS collegati al segnale dati e ad una molteplicità di segnali di abilitazione codificati in modo duro, e i secondi ingressi della porta OR CMOS collegati al segnale dati e al complemento di uno della molteplicità di segnali di abilitazione codificati in modo duro.

6. Buffer di uscita della rivendicazione 5, ed ulteriormente comprendente:

un circuito di selezione di buffer di uscita, comprendente una porta OR collegata alla uscita del latch di abilitazione e ad un segnale generale di abilitazione, la uscita della porta OR collegata al complemento del segnale di abilitazione per abilitare una robustezza prestabilita del buffer di uscita quando o l'uscita del latch di abilitazione o il segnale di abilitazione generale sono attivi.

7. Buffer di uscita della rivendicazione 1, ed ulteriormente comprendente un circuito di aggiustamento di buffer di uscita, il circuito di aggiustamento comprendendo:

un banco di latch, il banco di latch avendo un latch di abilitazione ed una molteplicità di latch di aggiustamento, ciascun latch di aggiustamento memorizzando un valore rappresentativo di un segnale di abilitazione, ciascun latch di aggiustamento collegato ad un rispettivo ingresso di abilitazione di uno della molteplicità di stadi di uscita per fornire il suo segnale di abilitazione al suo rispettivo stadio di uscita.

8. Buffer di uscita, comprendente:

almeno due stadi di buffer in parallelo,

ciascuno stadio attivato a seguito della ricezione di un rispettivo segnale di abilitazione di stadio, gli stadi fornendo una gamma di robustezza di buffer di uscita cumulativamente su una robustezza totale di buffer di uscita.

9. Buffer di uscita della rivendicazione 8, in cui ciascuno stadio di uscita comprende:

una coppia di componenti CMOS, il primo componente CMOS collegato ad un segnale di robustezza di buffer codificato in modo duro, ed un secondo componente CMOS collegato ad un segnale di robustezza di buffer selezionabile; e

una circuiteria di selezione per selezionare o il primo componente CMOS o il secondo componente CMOS.

10. Buffer di uscita della rivendicazione 9, ed ulteriormente comprendente:

una circuiteria di selezione per selezionare o il primo componente CMOS oppure il secondo componente CMOS.

11. Buffer di uscita della rivendicazione 10, in cui la circuiteria di selezione include:

un banco di latch, il banco di latch fornendo una molteplicità di segnali di abilitazione, ciascun segnale di abilitazione per uno dei secondi



componenti CMOS della molteplicità di stadi; in cui il banco di latch comprende inoltre un latch di abilitazione per abilitare la molteplicità di segnali di abilitazione.

12. Circuito buffer di uscita, comprendente:

un primo stadio buffer di uscita per fornire una robustezza di buffer di uscita in risposta ad un primo segnale di abilitazione di stadio; e

almeno un secondo stadio di buffer di uscita, in cui ciascun secondo stadio di buffer di uscita è adattato per fornire selettivamente robustezza di buffer aggiuntiva in risposta ad un rispettivo secondo segnale di abilitazione di stadio.

13. Circuito di buffer di uscita della rivendicazione 12, in cui ciascuno stadio di uscita comprende:

una coppia di componenti CMOS, il primo componente CMOS collegato ad un segnale di robustezza di buffer codificato in modo duro, ed il secondo componente CMOS collegato ad un segnale di robustezza di buffer selezionabile; e

una circuiteria di selezione per selezionare o il primo componente CMOS o il secondo componente CMOS.

14. Circuito buffer di uscita, comprendente:

una molteplicità di stadi di uscita, ciascuno stadio di uscita selezionabile per fornire una componente della robustezza totale del buffer di uscita, ciascuno stadio di uscita comprendendo:

una coppia di componenti CMOS, il primo componente CMOS collegato ad un segnale di abilitazione di robustezza di buffer codificato in modo duro, ed il secondo componente CMOS collegato ad un segnale di abilitazione di robustezza di buffer selezionabile; e

una circuiteria di selezione per selezionare o il primo componente CMOS oppure il secondo componente CMOS.

15. Buffer di uscita della rivendicazione 14, in cui la circuiteria di selezione include:

un banco di latch, il banco di latch fornendo una molteplicità di segnali di abilitazione, ciascun segnale di abilitazione per uno dei secondi componenti CMOS della molteplicità di stadi; e

in cui il banco di latch inoltre comprende un latch di abilitazione per abilitare la molteplicità di segnali di abilitazione.

16. Buffer di uscita, comprendente:

un primo stadio ed un secondo stadio, il primo ed il secondo degli stadi essendo in parallelo

l'uno con l'altro, il primo stadio comprendendo:

una struttura a semiconduttore ossido di metallo complementare (CMOS) di primo stadio avente un dispositivo MOS a canale p ed un dispositivo MOS a canale n;

una prima porta OR avente una uscita collegata al gate del transistor a canale p, ed avente due ingressi, un ingresso collegato ad un segnale dati ed un altro ingresso collegato ad un segnale di abilitazione; e

una prima porta AND avente una uscita collegata al gate del transistor a canale n, ed avente due ingressi, un ingresso collegato al segnale dati ed un altro ingresso collegato al segnale di abilitazione; e

il secondo stadio comprendendo:

una seconda struttura CMOS avente un dispositivo MOS a canale p ed un dispositivo MOS a canale n;

una seconda porta OR avente una uscita collegata al gate del transistor a canale p, ed avente due ingressi, un ingresso collegato ad un segnale dati ed un altro ingresso collegato ad un segnale di abilitazione; e

una seconda porta AND avente una uscita

collegata al gate del transistor a canale n, ed avente due ingressi, un ingresso collegato al segnale dati ed un altro ingresso collegato al segnale di abilitazione.

17. Buffer di uscita della rivendicazione 16, ed inoltre comprendente:

un circuito di aggiustamento di buffer di uscita, il circuito di aggiustamento comprendendo:

una coppia di latch di aggiustamento, ciascuno immagazzinante un valore rappresentativo di un segnale di abilitazione, ciascun latch di aggiustamento collegato ad un rispettivo ingresso di abilitazione di uno del primo o del secondo stadio per fornire il suo segnale di abilitazione al suo rispettivo stadio di uscita.

18. Buffer di uscita della rivendicazione 17, in cui ciascuno tra il primo ed il secondo stadio comprende inoltre:

una struttura CMOS codificata in modo duro sostanzialmente identica alla prima struttura CMOS, ingressi di porta AND CMOS codificata in modo duro collegata al segnale dati e ad uno di una molteplicità di segnali di abilitazione codificati in modo duro, e gli ingressi della porta OR CMOS codificata in modo duro collegata al segnale dati e



al complemento di una della molteplicità di segnali di abilitazione codificati in modo duro.

19. Buffer di uscita della rivendicazione 18, ed ulteriormente comprendente:

un circuito di selezione di abilitazione di buffer di uscita per selezionare le strutture CMOS di primo e di secondo stadio oppure le strutture CMOS codificate in modo duro.

20. Buffer di uscita della rivendicazione 19, in cui il circuito di selezione di abilitazione di buffer di uscita include:

una porta OR avente ingressi collegati a ciascuna delle uscite del latch di abilitazione ed un segnale di abilitazione generale, ed avente una uscita collegata al complemento del segnale di abilitazione per abilitare una robustezza di buffer di uscita prestabilita quando o l'uscita del latch di abilitazione o il segnale generale di abilitazione sono attivi, e per abilitare i segnali di abilitazione di latch di regolazione quando l'uscita del latch di abilitazione ed il segnale di abilitazione generale sono inattivi.

21. Circuito di aggiustamento per un buffer di uscita avente stadi multipli di uscita collegati in parallelo, comprendente:

un banco di latch, il banco di latch avendo un latch di abilitazione ed una molteplicità di latch di aggiustamento, ciascun latch di aggiustamento immagazzinando un valore rappresentativo di un segnale di abilitazione, ciascun latch di aggiustamento collegato ad un rispettivo ingresso di abilitazione di uno degli stadi di uscita per fornire il suo segnale di abilitazione al suo rispettivo stadio di uscita; e

una circuiteria di selezione per selezionare o il banco di latch oppure un segnale di abilitazione pre-programmato.

22. Circuito di aggiustamento della rivendicazione 21, in cui la circuiteria di selezione include:

una porta OR avente ingressi collegati a ciascuna delle uscite del latch di abilitazione ed un segnale generale di abilitazione, ed avente una uscita collegata al complemento del segnale di abilitazione per abilitare una robustezza prestabilita di buffer di uscita quando o l'uscita del latch di abilitazione o il segnale di abilitazione generale sono attivi, e per abilitare i segnali di abilitazione di latch di regolazione quando l'uscita del latch di abilitazione ed il

segnale di abilitazione generale sono inattivi.

23. Dispositivo di memoria,comprendente:

una schiera di celle di memoria;

una molteplicità di linee di dati per accesso alle celle di memoria; e

un buffer di uscita accoppiato tra la schiera di celle di memoria e la molteplicità di linee di dati, in cui il buffer di uscita comprende:

un primo stadio ed un secondo stadio, il primo ed il secondo stadio aventi uscite collegate in parallelo l'una con l'altra, il primo stadio fornendo robustezza di buffer quando un primo segnale di abilitazione di stadio è attivo, ed il secondo stadio fornendo robustezza di buffer quando un secondo segnale di abilitazione di stadio è attivo.

24. Dispositivo di memoria della rivendicazione 23, in cui ciascuno stadio di uscita include:

una struttura a semiconduttore ossido metallo complementare (CMOS) avente un dispositivo MOS a canale p ed un dispositivo MOS a canale n;

una porta AND avente una uscita collegata al gate del transistor a canale n, ed avente due ingressi, un ingresso collegato ad un segnale di

dati ed un altro ingresso collegato ad uno di una molteplicità di segnali di abilitazione; e

una porta OR avente una uscita collegata al gate del transistore a canale p, ed avente due ingressi, un ingresso collegato al segnale di dati ed un altro ingresso collegato al complemento di quello della molteplicità di segnali di abilitazione.

25. Dispositivo di memoria della rivendicazione 23, in cui il buffer di uscita comprende inoltre:

un banco di latch, il banco di latch avendo un latch di abilitazione e due latch di aggiustamento, ciascun latch di aggiustamento memorizzando un valore rappresentativo di un segnale di abilitazione, ciascun latch di regolazione collegato al rispettivo ingresso di abilitazione di uno della molteplicità di stadi di uscita per fornire il suo segnale di abilitazione al suo rispettivo stadio di uscita.

26. Dispositivo di memoria della rivendicazione 25, in cui ciascuno stadio di uscita comprende inoltre:

una seconda struttura CMOS sostanzialmente identica alla prima struttura CMOS, gli ingressi



della seconda porta AND CMOS collegati ai segnali di dati e ad uno della molteplicità di segnali di abilitazione codificati in modo duro, e gli ingressi della seconda porta OR CMOS collegati ai segnali di dati e al complemento a quello della molteplicità di segnali di abilitazione codificati in modo duro.

27. Dispositivo di memoria della rivendicazione 26, in cui il buffer di uscita comprende inoltre:

un circuito di selezione di buffer di uscita, comprendente una porta OR collegata alla uscita del latch di abilitazione e ad un segnale di abilitazione generale, la uscita della porta OR collegata al complemento del segnale di abilitazione per abilitare la robustezza di un buffer di uscita prestabilito quando o l'uscita del latch di abilitazione o il segnale di abilitazione generale sono attivi.

28. Dispositivo di memoria della rivendicazione 23, ed ulteriormente comprendente un circuito di aggiustamento di buffer di uscita, il circuito di aggiustamento comprendendo:

un banco di latch, il banco di latch avendo un latch di abilitazione ed una molteplicità di latch

di aggiustamento, ciascun latch di aggiustamento memorizzando un valore rappresentativo di un segnale di abilitazione, ciascun latch di aggiustamento collegato ad un rispettivo ingresso di abilitazione di uno della molteplicità di stadi di uscita per fornire il suo segnale di abilitazione al suo rispettivo stadio di uscita.

29. Dispositivo di memoria della rivendicazione 23, in cui la schiera di celle di memoria include una schiera di celle di memoria non volatili.

30. Sistema comprendente:

un elaboratore;

un dispositivo di memoria accoppiato all'elaboratore, il dispositivo di memoria comprendendo:

una schiera di celle di memoria;

una molteplicità di linee di dati per l'accesso alle celle di memoria; e

un buffer di uscita accoppiato tra la schiera di celle di memoria e la molteplicità di linee di dati, in cui il buffer di uscita comprende:

un primo stadio ed un secondo stadio, il primo ed il secondo degli stadi avendo uscite collegate in parallelo l'una con l'altra, il primo stadio

fornendo robustezza di buffer quando un primo segnale di abilitazione di stadio è attivo, e il secondo stadio fornendo robustezza di buffer quando è attivo un segnale di abilitazione di secondo stadio.

31. Sistema della rivendicazione 30, in cui ciascun stadio di uscita include:

una struttura a semiconduttore ossido di metallo complementare (CMOS) avente un dispositivo MOS a canale p ed un dispositivo MOS a canale n;

una porta AND avente una uscita collegata al gate del transistor a canale n, ed avente due ingressi, un ingresso collegato ad un segnale di dati ed un altro ingresso collegato ad uno di una molteplicità di segnali di abilitazione; e

una porta OR avente una uscita collegata al gate del transistor a canale p, ed avente due ingressi, un ingresso collegato al segnale di dati ed un altro ingresso collegato al complemento di uno della molteplicità di segnali di abilitazione.

32. Sistema della rivendicazione 30, in cui il buffer di uscita comprende inoltre un banco di latch, il banco di latch avendo un latch di abilitazione e due latch di aggiustamento, ciascun latch di aggiustamento immagazzinando un valore

rappresentativo di un segnale di abilitazione, ciascun latch di aggiustamento collegato al rispettivo ingresso di abilitazione di uno della molteplicità di stadi di uscita per fornire il suo segnale di abilitazione al suo rispettivo stadio di uscita.

33. Dispositivo di memoria della rivendicazione 32, in cui ciascun stadio di uscita inoltre comprende:

una seconda struttura CMOS sostanzialmente identica alla prima struttura CMOS, i secondi ingressi della porta AND CMOS collegati ai segnali di dati e ad uno di una molteplicità di segnali di abilitazione codificati in modo duro, e i secondi ingressi della porta OR CMOS collegati ai segnali di dati e al complemento di uno della molteplicità di segnali di abilitazione codificati in modo duro.

34. Dispositivo di memoria della rivendicazione 33, in cui il buffer di uscita ulteriormente comprende:

un circuito di selezione di buffer di uscita, comprendete una porta OR collegata alla uscita del latch di abilitazione e ad un segnale di abilitazione generale, la uscita della porta OR collegata al complemento del segnale di



abilitazione per abilitare una prestabilita robustezza di buffer di uscita quando l'uscita del latch di abilitazione o il segnale generale di abilitazione sono attivi.

35. Metodo per regolare la robustezza di un buffer di uscita, comprendente:

abilitare selettivamente almeno uno stadio di buffer di uscita in risposta ad un prestabilito insieme di segnali di abilitazione per i rispettivi stadi.

36. Metodo della rivendicazione 35, in cui l'abilitazione in modo selettivo comprende:

fornire un segnale di abilitazione a ciascuno dell'almeno uno stadio di buffer, in cui ciascun segnale di abilitazione è memorizzato in un latch;
e

abilitare ciascun stadio di uscita per cui è attivo il suo segnale di abilitazione.

37. Metodo della rivendicazione 35, in cui l'abilitazione in modo selettivo di almeno uno stadio di buffer di uscita comprende:

fornire un primo segnale di abilitazione ad un primo ingresso di abilitazione di ciascuno degli stadi di uscita;

fornire un secondo segnale ad un secondo

ingresso di abilitazione di ciascuno degli stadi di uscita;

fornire un secondo segnale ad un secondo ingresso di abilitazione di ciascuno degli stadi di uscita; e

selezionare tra il primo ed il secondo segnale di abilitazione ed il segnale selezionabile.

38. Metodo per regolare la robustezza di un buffer di uscita, comprendente:

generare segnali di abilitazione per una molteplicità di stadi buffer di uscita in parallelo;

abilitare ciascuno stadio avente un segnale di abilitazione; e

combinare la robustezza di ciascun stadio abilitato in una robustezza di buffer complessiva.

39. Metodo della rivendicazione 38, in cui il combinare la robustezza comprende il collegare in parallelo la molteplicità di stadi di buffer di uscita.

40. Metodo della rivendicazione 38, in cui la generazione di segnale di abilitazione include:

programmare un banco di latch di aggiustamento con una molteplicità di valori rappresentativi di segnali di abilitazione; e

collegare l'uscita di ciascun latch di aggiustamento a rispettivi stadi di buffer di uscita.

41. Metodo per regolare la robustezza di un buffer di uscita, comprendente:

abilitare selettivamente almeno uno stadio di buffer di uscita in risposta ad un insieme prestabilito di segnali di abilitazione per i rispettivi stadi.

42. Metodo della rivendicazione 41, in cui ciascuno stadio abilitato di buffer di uscita contribuisce alla robustezza complessiva del buffer di uscita.

43. Metodo della rivendicazione 41, in cui l'abilitazione selettiva comprende:

fornire un segnale di abilitazione a ciascuno degli almeno uno stadio buffer, in cui ciascun segnale di abilitazione è memorizzato in un latch;
e

abilitare ciascuno stadio di uscita per cui è attivo il suo segnale di abilitazione.

44. Metodo della rivendicazione 41, in cui l'abilitazione in modo selettivo di almeno uno stadio buffer di uscita comprende:

fornire un primo segnale di abilitazione ad un

primo ingresso di abilitazione di ciascuno degli stadi di uscita;

fornire un secondo segnale ad un secondo ingresso di abilitazione di ciascuno degli stadi di uscita; e

selezionare tra il primo ed il secondo segnale di abilitazione ed il segnale selezionabile.

45. Metodo per la regolazione di un buffer di uscita, comprendente:

abilitare almeno uno di una molteplicità di stadi di uscita collegati in parallelo; e

combinare la robustezza di ciascuno degli stadi di uscita abilitati in una robustezza complessiva di buffer di uscita.

46. Metodo per regolare la robustezza di un buffer di uscita in un buffer di uscita a stadi multipli, comprendente:

selezionare ingressi di abilitazione predeterminati o programmabili per gli stadi di uscita;

programmare gli ingressi di abilitazione programmabili quando sono selezionati gli ingressi di abilitazione programmabili; e

far passare gli ingressi di abilitazione prestabiliti quando sono selezionati ingressi di



abilitazione prestabiliti.

47. Metodo per far funzionare un circuito integrato, comprendente:

programmare un fusibile di ingresso selezionabile per generare un segnale di abilitazione di ingresso selezionabile attivo;

programmare un insieme di segnale di abilitazione prestabilito;

programmare un insieme di ingresso selezionabile; e

selezionare tra l'insieme di abilitazione prestabilito e l'insieme di ingresso selezionabile.

48. Metodo della rivendicazione 47, in cui la selezione comprende:

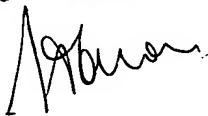
combinare in una porta OR il segnale di abilitazione di ingresso selezionabile ed un segnale di abilitazione di selezione di ingresso;

fornire un insieme di ingressi selezionabile per una molteplicità di stadi buffer di uscita quando è attivo il segnale di abilitazione di selezione di ingresso; e

fornire il segnale di abilitazione prestabilito impostato quando è inattivo il segnale di abilitazione di selezione di ingresso.

p.p. Micron Technology, Inc.

(Decreto n. 53 SM)



S.I.B.
ROMA

RM 2003 A 000029

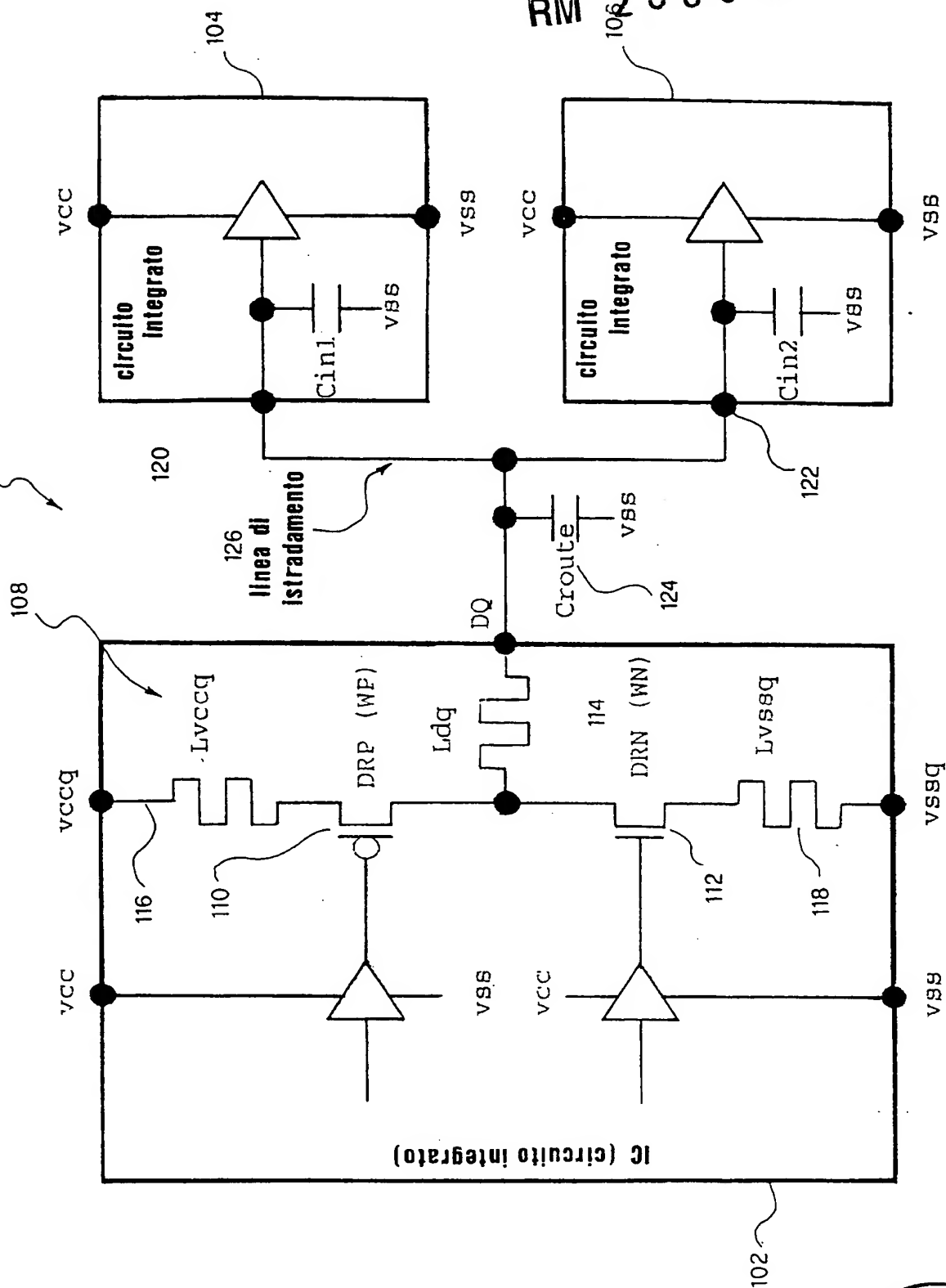


FIG.1

Gilberto Tonon
(per. Albo n. 83 BM)



RM 2003 A 000029

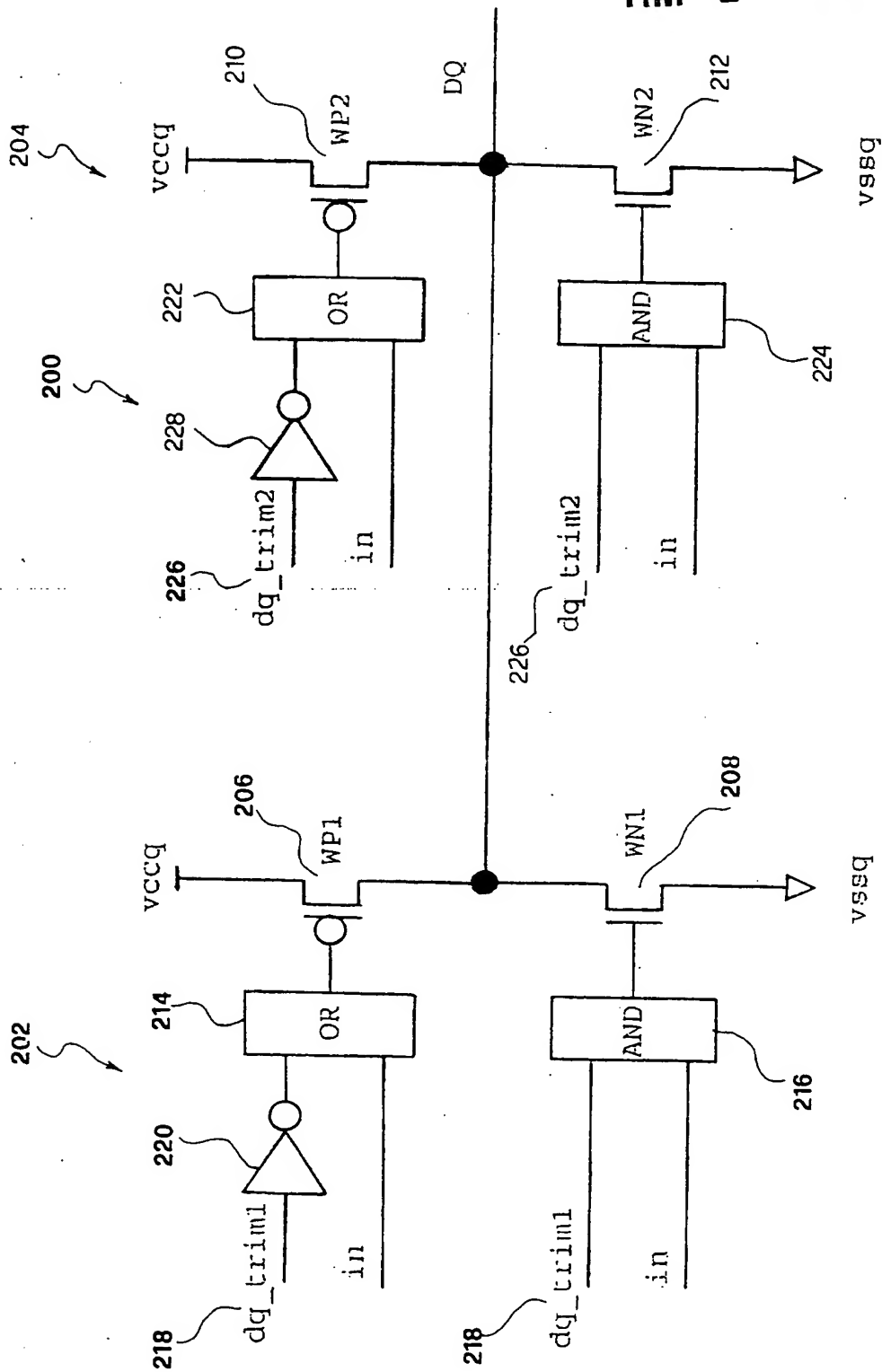
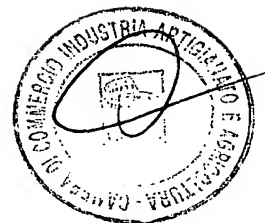


FIG.2



CLASS. INT. PAT. (leer. Albo n. 83 B.M.)

[Handwritten signature]

RM 2003 A 000029

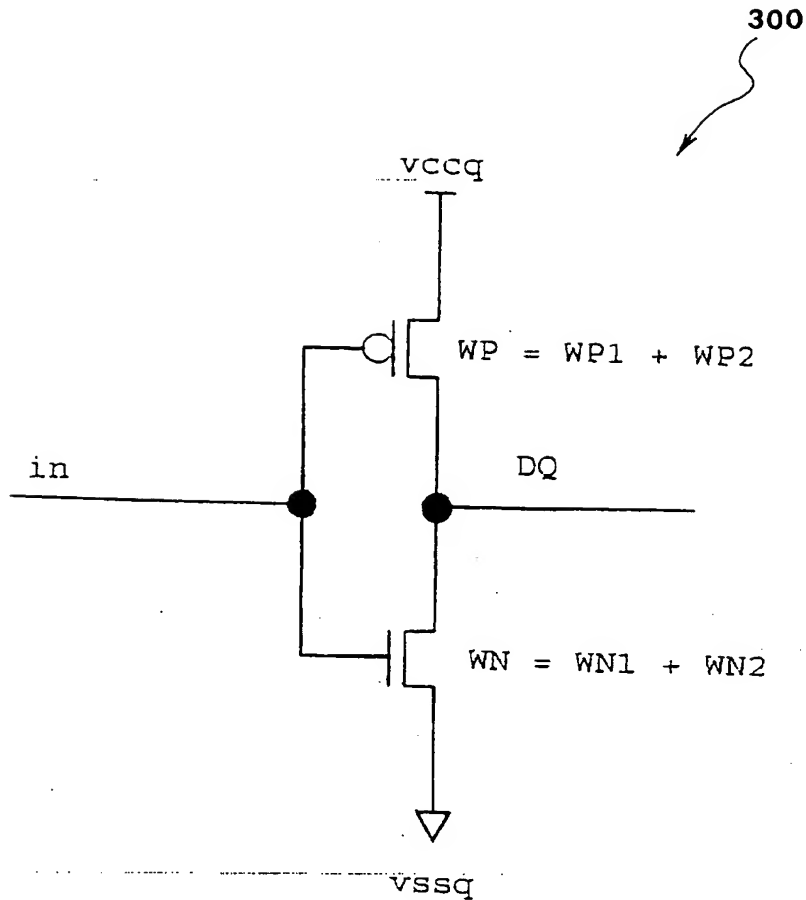


FIG.3



Oliviero Turchi
(lec. Albo n. 63 BM)

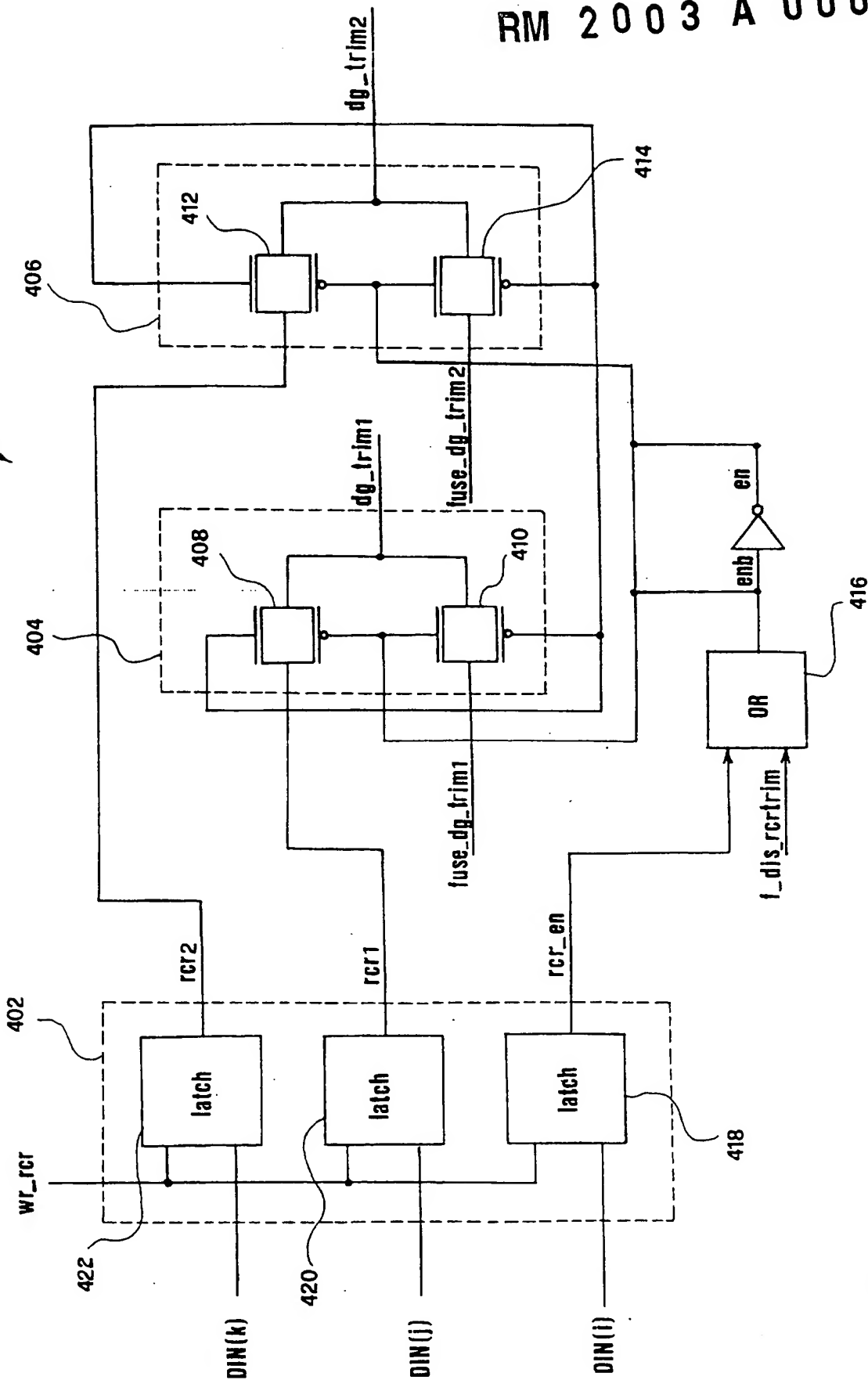


FIG.4



